

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年5月30日 (30.05.2002)

PCT

(10) 国際公開番号
WO 02/43153 A1

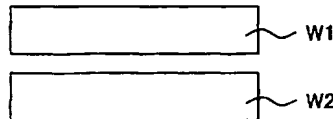
- (51) 国際特許分類⁷: H01L 27/12 [JP/JP]; 〒100-0005 東京都千代田区丸の内一丁目4番2号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/10216
- (22) 国際出願日: 2001年11月22日 (22.11.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2000-358783
2000年11月27日 (27.11.2000) JP
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 曲 偉峰 (QU, Wei Feig) [CN/JP]. 木村雅規 (KIMURA, Masanori) [JP/JP]; 〒379-0196 群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内 Gunma (JP).
- (74) 代理人: 石原詔二 (ISHIHARA, Shoji); 〒170-0013 東京都豊島区東池袋3丁目7番8号 若井ビル302号 Tokyo (JP).
- (71) 出願人 (米国を除く全ての指定国について): 信越半導体株式会社 (SHIN-ETSU HANDOTAI CO., LTD.)
- (81) 指定国 (国内): KR, US.

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR WAFER

(54) 発明の名称: 半導体ウェーハの製造方法

(a) 第1及び第2
Siウェーハ用意



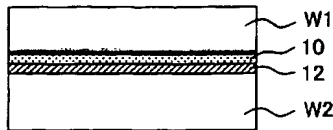
(b) 第1Siウェーハの
表面にSiGe層成長



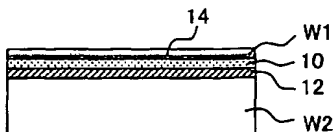
(c) SiGe層表面酸化



(d) 第2Siウェーハと結合



(e) 第1Siウェーハの薄膜化



(57) Abstract: A method for manufacturing a semiconductor wafer wherein a semiconductor wafer having a sufficient lattice strain to enhance electron mobility and having an Si layer of less crystal defect despite of a relatively simple laminate structure is manufactured by a simple process. This manufacturing method comprises the step of epitaxially growing an SiGe layer on the surface of a first silicon single crystal wafer, the step of coupling the surface of the SiGe layer with the surface of a second wafer with an oxide film in between, and the step of thinning off the silicon single crystal wafer coupled with the second wafer to expose the Si layer with involved lattice strain.

- (a)...PREPARE FIRST AND SECOND Si WAFERS
(b)...GROW SiGe LAYER ON SURFACE OF FIRST Si WAFER
(c)...OXIDIZE SURFACE OF SiGe LAYER
(d)...COUPLE WITH SECOND Si WAFER
(e)...THIN OFF FIRST Si WAFER

[続葉有]